

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-190983

(43)Date of publication of application : 25.08.1986

(51)Int.Cl.

H01L 29/78

(21)Application number : 60-030342

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.02.1985

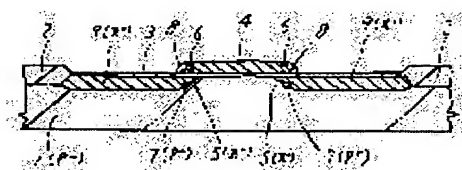
(72)Inventor : OKUYAMA KOSUKE
KATSUTO HISAO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To inhibit a creeping to a channel forming region, and to suppress the variation of the threshold voltage of a MISFET by forming a LDD section to a gate electrode in a self-alignment manner and shaping a semiconductor region to the side section of a mask for introducing an impurity formed to the side section of the gate electrode in the self-alignment manner to the gate electrode.

CONSTITUTION: A P-type impurity is introduced to the main surface section of a semiconductor substrate 1 in the lower section of a semiconductor region 5 in both side sections of a conductive layer 4 by using masks 6 for introducing the impurity shaped to both side sections of the conductive layer 4 after a process in which the semiconductor region 5 is formed, thus shaping P+ type semiconductor regions 7. An N-type impurity is introduced to the main surface section of the semiconductor substrate 1 in both side sections of the conductive layer 4 by employing masks 8 for introducing the impurity formed to both side sections of the masks 6 for introducing the impurity, thus shaping N+ type semiconductor regions 9. Since the semiconductor regions 7 in the lower sections of the semiconductor regions 5 as LDD sections are constituted by the masks 6 for introducing the impurity, a creeping to a channel forming region can be inhibited, thus suppressing the variation of the threshold voltage of a MISFET.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-190983

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)8月25日

H 01 L 29/78

8422-5F

審査請求 未請求 発明の数 1 (全7頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭60-30342

⑰ 出 願 昭60(1985)2月20日

⑱ 発 明 者 奥 山 幸 祐 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑲ 発 明 者 甲 藤 久 郎 小平市上水本町1450番地 株式会社日立製作所武蔵工場内
⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 半導体集積回路装置

特許請求の範囲

1. ソース領域又はドレイン領域として使用される第1導電型の第1の半導体領域とチャネル形成領域との間に、第1の半導体領域と同一導電型で電気的に接続され、かつ、第1の半導体領域よりも不純物濃度が低い第2の半導体領域を設け、該第2の半導体領域の下部に、第2導電型の第3の半導体領域を設けて構成されたMISFETを有する半導体集積回路装置であって、前記第2の半導体領域を、ゲート電極に対して自己整合で設け前記第3の半導体領域を、ゲート電極の側部に設けた不純物導入用マスクを用いて、前記ゲート電極に対して自己整合で設けてなることを特徴とする半導体集積回路装置。

2. 前記第1の不純物導入用マスクは、導電層で構成されてなることを特徴とする特許請求の範囲第1項に記載の半導体集積回路装置。

3. 前記第1の不純物導入用マスクは、導電層又

は絶縁膜で構成され、第2の不純物導入用マスクは、絶縁膜で構成されてなることを特徴とする特許請求の範囲第1項に記載の半導体集積回路装置。

4. 前記第2の半導体領域と第3の半導体領域との介在部に、第1の半導体領域及び第2の半導体領域と同一導電型で電気的に接続され、かつ、第2の半導体領域よりも不純物濃度が高い第4の半導体領域を設けてなることを特徴とする特許請求の範囲第1項に記載の半導体集積回路装置。

発明の詳細な説明

〔技術分野〕

本発明は、半導体集積回路装置に関するものであり、特に、MISFETを有する半導体集積回路装置に適用して有効な技術に関するものである。

〔背景技術〕

高集積化の傾向にある半導体集積回路装置において、MISFETは、ドレイン領域近傍の電界強度を緩和し、ホットキャリアの発生によるしきい値電圧(V_{th})の変動を抑制する必要がある。そこで、ドレイン領域近傍の電界強度を緩和するた

めに、特に、 n チャネルMISFETは、LDD (Lightly Doped Drain) 構造を採用している。これは、ドレイン領域とチャネル形成領域との間に、ドレイン領域と同一導電型で電気的に接続されかつそれよりも不純物濃度の低い半導体領域 (LDD部) を設けたものである。このLDD部によって、ドレイン領域とチャネル形成領域との不純物濃度勾配を緩やかなものになっている。

また、LDD部は、ドレイン領域よりも不純物濃度が低いので、チャネル形成領域への回り込みが小さく、短チャネル化に適している。

しかしながら、さらに高集積化が進めば、チャネル長が $0.8[\mu m]$ 程度以下になると、ソース領域とドレイン領域との間に、それぞれの空乏領域の結合によるパンチスルーが発生し易くなる。そこで、LDD構造のMISFETは、ソース領域又はドレイン領域と高い不純物濃度の p n 接合部を構成するために、反対導電型 (p 型) の半導体領域をLDD部の下部に設けることが提案されている。これによって、ソース領域又はドレイン

を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【発明の概要】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、LDD部の下部に反対導電型の半導体領域を設けたLDD構造のMISFETを有する半導体集積回路装置において、前記LDD部をゲート電極の側部に自己整合で構成し、前記半導体領域を、ゲート電極の側部に設けた第1の不純物導入用マスクを用い、ゲート電極に対して自己整合で構成し、ソース領域又はドレイン領域を、前記第1の不純物導入用マスクの側部に設けた第2の不純物導入用マスクを用い、ゲート電極に対して自己整合で構成する。

これによって、チャネル形成領域への前記半導体領域の回り込みを抑制することができるので、

領域からの空乏領域の伸びを抑制し、パンチスルーによるリーク電流を抑制している。

前記LDD部とその下部の半導体領域は、ゲート電極を不純物導入用マスクとして用い、イオン注入技術で n 型及び p 型の不純物を導入し、該不純物に引き伸ばし拡散を施して形成している。

しかしながら、 n 型に比べて p 型の不純物の拡散速度が速いために、前記 p 型の半導体領域がチャネル形成領域に回り込み、LDD構造のMISFETのしきい値電圧の制御が困難になる。

なお、LDD部の下部に反対導電型の半導体領域が設けられたLDD構造のMISFETを有する半導体集積回路装置は、例えば、IEDM 82 29.6 「A HALF MICRON MOSFET USING DOUBLE IMPLANTED LDD」 p718~p721に記載されている。

【発明の目的】

本発明の目的は、MISFETのしきい値電圧の制御を容易にし、かつソース領域又はドレイン領域からの空乏領域の伸びを抑制し、パンチスルーによるリーク電流を抑制することが可能な技術

MISFETのしきい値電圧の変動を抑制し、かつパンチスルーによるリーク電流を抑制することができる。

以下、本発明の構成について、実施例とともに説明する。

【実施例1】

第1図は、本発明の実施例1を説明するためのMISFETを有する半導体集積回路装置の要部断面図である。

なお、実施例の全図において、同一機能を有するものは同一符号を付け、そのくり返しの説明は省略する。

第1図において、1は p 型の半導体基板である。

2はフィールド絶縁膜であり、半導体素子間となる半導体基板1の主面上部に設けられている。フィールド絶縁膜2は、半導体素子間を電気的に分離するように構成されている。また、フィールド絶縁膜2の下部の半導体基板1の主面部に、 p 型のチャネルストップ領域を設けてもよい。

3は絶縁膜であり、半導体素子形成領域の半導

体基板1の主面上部に設けられている。絶縁膜3は、主として、MISFETのゲート絶縁膜を構成するようになっている。

4は導電層であり、絶縁膜3の所定の上部に設けられている。導電層4は、主として、MISFETのゲート電極を構成するようになっている。

5はn型の半導体領域(LDD部)であり、導電層4の両側部の半導体基板1の主面に設けられている。半導体領域5は、LDD構造のMISFETを構成するようになっている。半導体領域5は、導電層4に対して自己整合で構成されている。

半導体領域5は、実質的なドレイン領域とチャネル形成領域とのpn接合部分の不純物濃度勾配を緩和し、界面強度を緩和するように構成されている。これによって、ホットキャリアの発生を抑制し、MISFETの経時的なしきい値電圧の変動を抑制することができる。

6は不純物導入用マスクであり、導電層4の両側部に、そして半導体領域5の上部に絶縁膜3を

介して設けられている。不純物導入用マスク6は、半導体領域5の下部に設けられる半導体領域を規定するようになっている。

不純物導入用マスク6は、導電層4と電気的に接続された導電層によって構成してあり、半導体領域5、絶縁膜3とともに構成されるMIS構造のゲート電極を構成するようになっている。すなわち、導電層4に所定の電位が印加されると、その主面に反転層が形成されるので、半導体領域5の抵抗値を低減することができる。これによって、半導体領域5を設けたことによるMISFETのソース領域とドレイン領域との間の相互コンダクタンスの低下を抑制し、動作速度の高速化を図ることができる。

なお、不純物導入用マスク6としては、絶縁物例えば酸化シリコン膜、窒化シリコン膜等を用いて形成したものを用いることも可能である。

7はp型の半導体領域であり、半導体領域5の下部の半導体基板1の主面に設けられている。半導体領域7は、MISFETのソース領域又は

ドレイン領域と半導体基板1とのpn接合部から半導体基板1(チャネル形成領域)に形成される空乏領域の伸びを抑制するように構成されている。すなわち、ソース領域とドレイン領域との間のパンチスルーを抑制するように構成されている。これによって、チャネル長を短縮することができるので、MISFETの短チャネル化を図ることができる。

半導体領域7は、チャネル形成領域に対して、導電層4よりも外側に設けられた不純物導入用マスク6を用い、導電層4に対して自己整合で構成される。これによって、n型に比べて拡散速度の速いp型の不純物で構成される半導体領域7は、半導体領域5をつつむように構成されるが、チャネル形成領域への回り込みを抑制することができる。すなわち、MISFETのしきい値電圧の変動を抑制し、半導体集積回路装置の電気的特性の劣化を抑制することができる。

8は不純物導入用マスクであり、不純物導入用マスク6を介した導電層4の両側部に設けられて

いる。不純物導入用マスク8は、MISFETの実質的なソース領域又はドレイン領域を、導電層4に対して自己整合で構成するようになっている。不純物導入用マスク8は、絶縁膜によって構成する。

9はn型の半導体領域であり、不純物導入用マスク6、8を介した導電層4の両側部の半導体基板1の主面に設けられている。半導体領域9は、MISFETの実質的なソース領域又はドレイン領域を構成するようになっている。ドレイン領域となる半導体領域9は、前記LDD部となる半導体領域5と電気的に接続されており、該半導体領域5よりも高い不純物濃度で構成されている。

MISFETは、半導体基板1、絶縁膜3、導電層4、ソース領域又はドレイン領域となる半導体領域9、LDD部となる半導体領域5及びソース領域とドレイン領域との間のパンチスルーを抑制する半導体領域7によって構成されている。

10は半導体素子を覆うように設けられた絶縁膜、11は所定の半導体領域9の上部の絶縁膜3、

10を除去して設けられた接続孔である。

12は導電層であり、接続孔11を通して所定の半導体領域9と電気的に接続するように、絶縁膜10の所定上部を延在して設けられている。

次に、本実施例の具体的な製造方法について、簡単に説明する。

第2図乃至第4図は、本発明の実施例1の製造方法を説明するための各製造工程におけるMISFETを有する半導体集積回路装置の要部断面図である。

まず、半導体基板1に、フィールド絶縁膜2及び絶縁膜3を形成する。

そして、絶縁膜3の所定上部に、導電層4を形成する。導電層4は、例えば、多結晶シリコン膜、高融点金属(Mo, Ta, Ti, W)膜、シリサイド(MoSi₂, TaSi₂, TiSi₂, WSi₂)膜又はそれらの組合せ膜で形成する。

次に、導電層4の両側部の半導体基板1の主面にn型の不純物を導入し、第2図に示すように、n型の半導体領域5を形成する。半導体領域5は、

そして、不純物導入用マスク8を用い、導電層4の両側部の半導体基板1の主面にn型の不純物を導入し、第4図に示すように、n型の半導体領域9を形成する。半導体領域9は、例えば、イオン注入技術で導入したヒ素イオンに引き伸ばし拡散を施して形成する。

第4図に示す半導体領域9を形成する工程の後、絶縁膜10、接続孔11及び導電層12を形成することによって、本実施例の半導体集積回路装置は完成する。

以上説明したように、本実施例1によれば、LDD部となる半導体領域5の下部の半導体領域7を、不純物導入用マスク6で構成することによって、チャネル形成領域への回り込みを抑制することができるので、MISFETのしきい値電圧の変動を抑制することができる。これによって、半導体集積回路装置の電気的特性の劣化を抑制することができる。

また、LDD部となる半導体領域5の上部に、絶縁膜3を介して導電層4と電気的に接続された

例えば、導電層4及びフィールド絶縁膜2を不純物導入用マスクとして用い、イオン注入技術で導入したリンイオンに引き伸ばし拡散を施して形成する。

第2図に示す半導体領域5を形成する工程の後、導電層4の両側部に不純物導入用マスク6を形成する。不純物導入用マスク6は、例えば、CVD技術で形成した多結晶シリコン膜に、異方性エッチング技術を施して形成する。

そして、不純物導入用マスク6を用い、導電層4の両側部の半導体領域5の下部の半導体基板1の主面にp型の不純物を導入し、第3図に示すように、p型の半導体領域7を形成する。半導体領域7は、例えば、イオン注入技術で導入したボロンイオンに引き伸ばし拡散を施して形成する。

第3図に示す半導体領域7を形成する工程の後、不純物導入用マスク6の両側部に、不純物導入用マスク8を形成する。不純物導入用マスク8は、例えば、CVD技術で形成した酸化シリコン膜に、異方性エッチング技術を施して形成する。

導電性の不純物導入用マスクを設けたことによって、その主面に反転層が形成されるので、半導体領域5の抵抗値を低減することができる。これによって、ソース領域又はドレイン領域となる半導体領域9間の相互コンダクタンスを向上することができるので、半導体集積回路装置の動作速度の高速化を図ることができる。

[実施例II]

本実施例IIは、LDD構造のMISFETの相互コンダクタンスの低下を抑制する他の例について説明するものである。

第5図は、本発明の実施例IIを説明するためのMISFETを有する半導体集積回路装置の要部断面図である。

第5図において、13はn型の半導体領域であり、半導体領域5と半導体領域7との介在部の半導体基板1の主面に、半導体領域5及び半導体領域9と電気的に接続されて設けられている。半導体領域13は、LDD部となる半導体領域5の一部に替り、半導体領域9間に流れる電流経路を

構成するようになっている。これによって、半導体領域9間に流れる電流が、半導体領域5の一部に替り、それよりも抵抗値の小さな半導体領域13で流れるので、相互コンダクタンスの低下を抑制することができる。すなわち、半導体集積回路装置の動作速度の高速化を図ることができる。

次に、本実施例Ⅱの具体的な製造方法について説明する。

第6図は、本発明の実施例Ⅱの製造方法を説明するための所定の製造工程におけるMISFETを有する半導体集積回路装置の要部断面図である。

前記実施例Ⅰの半導体領域5を形成する工程の後に、不純物導入用マスク6を形成する。この不純物導入用マスク6は、導電層又は絶縁膜で形成すればよい。

この後、不純物導入用マスク6を用い、半導体基板1の主面にn型及びp型の不純物を導入し、第6図に示すように、半導体領域7、13を形成する。

第6図に示す半導体領域7、13を形成する工

制することができるので、MISFETのしきい値電圧の変動を抑制することができる。

(2) 前記(1)により、MISFETのしきい値電圧の変動を抑制しながらパンチスルーによるリーク電流を抑制することができる。

(3) 前記不純物導入用マスクをゲート電極と電気的に接続された導電層で構成することにより、その主面に反転層を形成することができるので、前記LDD部の抵抗値を低減することができる。

(4) 前記(3)により、ソース領域とドレイン領域との間の相互コンダクタンスを向上することができるので、半導体集積回路装置の動作速度の高速化を図ることができる。

(5) 前記LDD部と半導体領域との介在部に、LDD部とソース領域又はドレイン領域と電気的に接続し、かつLDD部よりも高い不純物濃度の半導体領域を電流経路として設けることによって、ソース領域とドレイン領域との間の相互コンダクタンスを向上することができる。

(6) 前記(5)により、半導体集積回路装置の

程の後に、前記実施例Ⅰの第3図に示す工程以後の工程を施すことによって、本実施例の半導体集積回路装置は完成する。

以上説明したように、本実施例Ⅱによれば、前記実施例Ⅰと略同様の効果を得ることができる。

また、半導体領域9間に流れる電流経路を、半導体領域5の一部に替り抵抗値の小さな半導体領域13で構成することによって、MISFETの相互コンダクタンスを向上することができる。

【効果】

以上説明したように、本願において開示された新規な技術によれば、以下に述べる効果を得ることができる。

(1) LDD部の下部に反対導電型の半導体領域を設けたLDD構造のMISFETを有する半導体集積回路装置において、前記LDD部をゲート電極に対して自己整合で設け、前記半導体領域を、ゲート電極の側部に設けた不純物導入用マスクの側部に、ゲート電極に対して自己整合で設けたことによって、チャネル形成領域への回り込みを抑

動作速度の高速化を図ることができる。

以上、本発明者によってなされた発明を、前記実施例にもとずき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変形し得ることは勿論である。

例えば、前記実施例は、MISFETのソース領域又はドレイン領域とLDD部の下部の反対導電型の半導体領域とを別の製造工程で形成したが、同一の不純物導入用マスクを用い、同一の製造工程で形成してもよい。

図面の簡単な説明

第1図は、本発明の実施例Ⅰを説明するためのMISFETを有する半導体集積回路装置の要部断面図。

第2図乃至第4図は、本発明の実施例Ⅰの製造方法を説明するための各製造工程におけるMISFETを有する半導体集積回路装置の要部断面図。

第5図は、本発明の実施例Ⅱを説明するためのMISFETを有する半導体集積回路装置の要部

断面図。

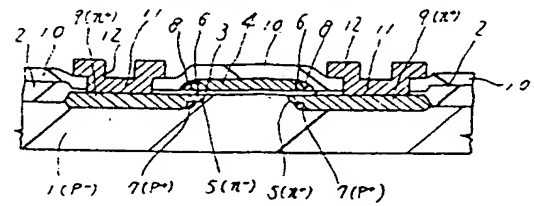
第5図は、本発明の実施例IIの製造方法を説明するための所定の製造工程におけるMISFETを有する半導体集積回路装置の要部断面図である。

図中、1…半導体基板、2…フィールド絶縁膜、3,10…絶縁膜、4,12…導電層、5,7,9,13…半導体領域、6,8…不純物導入用マスク、11…接線孔である。

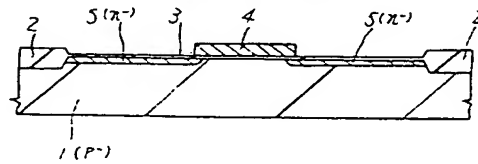
代理人 弁理士 小川勝男



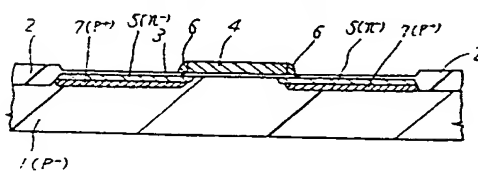
第 1 図



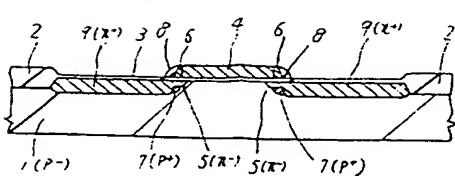
第 2 図



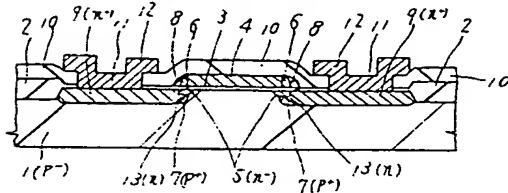
第 3 図



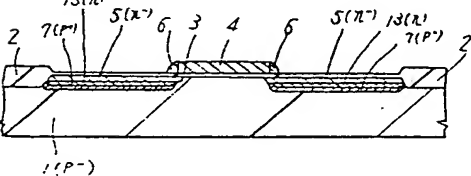
第 4 図



第 5 図



第 6 図



手続補正書(方式)

昭和60年6月21日

特許庁長官殿
事件の表示

昭和60年特許願第30342号

発明の名称

半導体集積回路装置

補正をする者

特許出願人

(510)株式会社 日立製作所

代理人

〒100 東京都千代田区丸の内一丁目5番1号
株式会社日立製作所内 電話 東京 212-1111 (大代表)
〒6850 和歌山県 小川 勝男

補正命令の日付

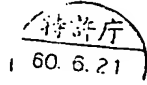
昭和60年5月28日

補正の対象

明細書の発明の詳細な説明の欄

補正の内容

別紙の通り



1. 明細書の第4頁13行目乃至15行目に「I
EDM 82 29. 6 「A HALF MICRON
MOSFET USING DOBLE INPLANTED
LDD」とあるのを、「アイイーディーエム(IE
DM)、1982年、29. 6 「二重イオン打込み
されたエルディーディーを用いたハーフミクロン
モスエフイーティー(A HALF MICRON
MOSFET USING DOUBLE IMPLANTED
LDD)」」に補正する。

代理人 弁理士 小 川 勝 男

